

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07327257 A**

(43) Date of publication of application: **12 . 12 . 95**

(51) Int. Cl

H04Q 7/32
H04Q 7/38

(21) Application number: **06117806**

(22) Date of filing: **31 . 05 . 94**

(71) Applicant: **HITACHI LTD**

(72) Inventor:
TAKEUCHI YUSUKE
MATSUBARA OSAMU
ISHIHARA HAYATO
IGARASHI KATSUKI

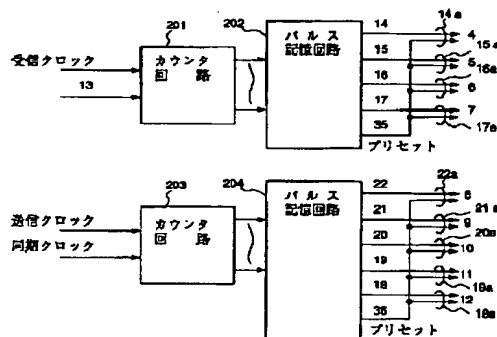
(54) **METHOD AND DEVICE FOR COMMUNICATION
CONTROL AND MOBILE COMMUNICATION
TERMINAL**

(57) Abstract:

PURPOSE: To provide a communication control technique which easily changes or adds a control signal given from a control block to a function block.

CONSTITUTION: The timing generating circuit which outputs the control signals to control plural function blocks consists of a counter circuit 201 (counter circuit 203), which is preset by a synchronous detection signal 13 and is operated by a reception clock (a transmission clock and a synchronizing clock), and a pulse storage circuit 202 (pulse storage circuit 204) which takes the output of the counter circuit as the address, and control signals 14, 15, 16, and 17 (control signals 22, 21, 20, 19, and 18) to be given to respective function blocks are outputted correspondingly to the read address.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-327257

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl.⁶

H 0 4 Q 7/32
7/38

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 B 7/ 26

V

1 0 9 M

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号

特願平6-117806

(22) 出願日

平成6年(1994)5月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 武内 勇介

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72) 発明者 松原 修

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内

(72) 発明者 石原 走人

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

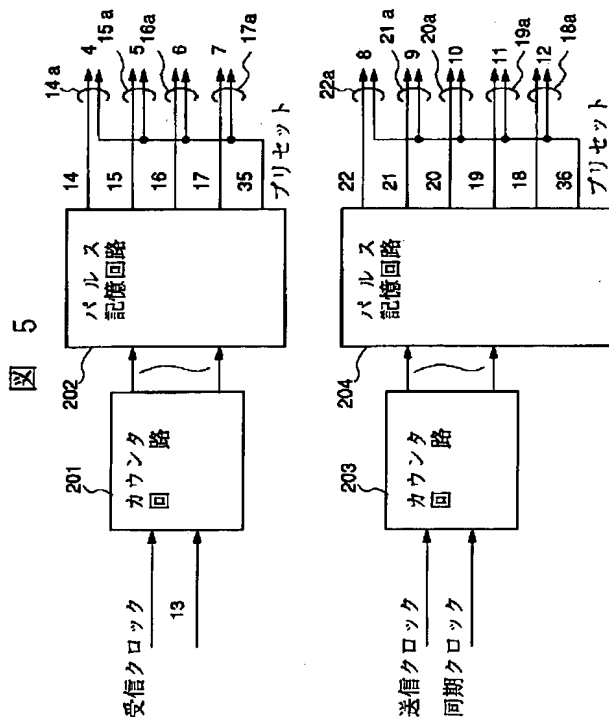
最終頁に続く

(54) 【発明の名称】 通信制御方法および装置ならびに移動体通信端末

(57) 【要約】

【目的】 制御ブロックから機能ブロックに与えられる制御信号の変更や追加等を容易に行うことが可能な通信制御技術を提供する。

【構成】 複数の機能ブロックを制御する制御信号を出力するタイミング発生回路を、同期検出信号13でプリセットし受信クロック(送信クロックおよび同期クロック)で動作するカウンタ回路201(カウンタ回路203)と、その出力を読み出しアドレスとするパルス記憶回路202(パルス記憶回路204)で構成し、読出アドレスに対応して各機能ブロックに与えるべき制御信号14、制御信号15、制御信号16、制御信号17(制御信号22、制御信号21、制御信号20、制御信号19、制御信号18)を出力する構成とした通信制御装置である。



【特許請求の範囲】

【請求項 1】 シリアル通信システムにおいて、バースト状のビットストリームと同一かあるいは整数倍のワード数を有する記憶回路を設け、前記記憶回路に対して前記ビットストリームをアドレス入力として与えて読み出されるデータを各種制御信号として用いることを特徴とする通信制御方法。

【請求項 2】 シリアル通信システムにおいて、バースト状のビットストリームと同一かあるいは整数倍のワード数を有する記憶回路を含む制御ブロックと、前記記憶回路には前記ビットストリームがアドレス入力として供給されるとともに、前記記憶回路から読み出されるデータを制御信号とし、当該制御信号に基づいて動作する複数の機能ブロックとからなることを特徴とする通信制御装置。

【請求項 3】 前記記憶回路は前記ビットストリームに含まれる特定のビットパターンの検出により特定のアドレスからの読出が可能な構成を有する ROM または RAM であることを特徴とする請求項 2 記載の通信制御装置。

【請求項 4】 前記記憶回路は複数面からなり、前記各面の切り換えはアドレスの与え方で選択することを特徴とする請求項 2 または 3 記載の通信制御装置。

【請求項 5】 前記記憶回路は 1 ワードのビット方向に拡張された複数面からなり、前記各面の切り換えは出力の選択回路にて行われることを特徴とする請求項 2 または 3 記載の通信制御装置。

【請求項 6】 前記制御信号として用いられる前記データは多重化して前記記憶回路に記憶され、複数の前記制御信号は、前記制御ブロックと個々の前記機能ブロックとを接続する 1 本の信号線を介して各々の前記機能ブロックに与えられるようにしたことを特徴とする請求項 2, 3, 4 または 5 記載の通信制御装置。

【請求項 7】 複数の前記機能ブロックの各々は、前記信号線を介して多重化されて到来する前記制御信号を分離するカウンタ回路、または前記制御信号を遷移クロックとして動作する状態遷移回路を備え、前記カウンタ回路または前記状態遷移回路にて個々の制御信号を弁別することを特徴とする請求項 2, 3, 4, 5 または 6 記載の通信制御装置。

【請求項 8】 前記制御ブロックから複数の前記機能ブロックに与えられる前記制御信号は、個々の前記機能ブロックをリセットするリセット信号であることを特徴とする請求項 2, 3, 4, 5, 6 または 7 記載の通信制御装置。

【請求項 9】 請求項 2, 3, 4, 5, 6, 7 または 8 記載の通信制御装置を備えたことを特徴とする移動体通信端末。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は通信制御技術およびそれを用いた移動体通信端末に関し、特に、シリアル通信を行うデジタル通信システムにおけるシリアルインターフェイスの構築等に適用して有効な技術に関する。

【0002】

【従来の技術】 シリアルデータ通信におけるスロット、フレームデータの解析、組立て回路に使用される各機能ブロックへの制御信号の生成、供給法としては図 11 に示すような構成でビットストリームカウンタとその出力を論理ゲートでデコードして行う方法がある。なお、デコード回路の構成法については、株式会社オーム社、1988 年 9 月 1 日発行、OHM 大学講座「デジタル回路」川又晃著 P171、図 5.15、等の文献に記載がある。

【0003】

【発明が解決しようとする課題】 ところが、前記従来技術のように、論理ゲートの組合せで制御信号を生成すると、(1) 制御タイミングの変更が困難、(2) 特殊タイミングの制御信号発生が困難、(3) ゲート遅延により発生するノイズによるシステムの不安定動作、等の種々の問題がある。

【0004】 また、論理ゲート間を接続する制御信号線が多くなることにより、(1) 機能ブロックの追加、削減が困難、(2) 信号線間の遅延差が大きくなる、(3) レイアウト効率が悪い、等の問題を生じる。

【0005】 本発明の目的は、制御ブロックから機能ブロックに与えられる制御信号の変更や追加等を容易に行うことが可能な通信制御技術を提供することにある。

【0006】 本発明の他の目的は、ノイズの発生や、各機能ブロックに対する制御信号の伝達遅延差を解消して、安定な動作を行わせることが可能な通信制御技術を提供することにある。

【0007】 本発明のさらに他の目的は、制御ブロックや機能ブロック等の回路設計におけるレイアウト効率を向上させることが可能な通信制御技術を提供することにある。

【0008】 本発明のさらに他の目的は、ハードウェアやソフトウェアの仕様変更が容易な移動体通信端末を提供することにある。

【0009】 本発明のさらに他の目的は、動作の安定化および小型化、さらには原価の低減を実現することが可能な移動体通信端末を提供することにある。

【0010】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】 すなわち、本発明の通信制御技術は、制御

ブロックにおいて、ビットストリームに対応したクロックを計数するカウンタ出力をアドレスとする記憶回路からビットストリームに対応した制御タイミングを直接的に読み出して生成し、各機能ブロックへ与える構成としたものである。また、制御ブロックから各機能ブロックへ与えられる制御信号は多重化され、各機能ブロックの近傍または内部にて、多重化された制御信号を個々の制御信号に弁別・分離する構成としたものである。

【0013】また、本発明の移動体通信端末は、このような構成を有する通信制御技術を内部にもつ構成となっている。

【0014】

【作用】上記した本発明の通信制御技術によれば、記憶回路として、たとえば、ROMを用いれば、ROM内のパターンの書き替えにより任意のタイミングの制御信号が容易に生成できる。またRAMを用いれば、制御信号のタイミングの変更等を稼動中に動的に行うことができる。また制御信号を記憶回路から直接読み出すのでゲート遅延差により発生するノイズを低減することができる。また、上記ROMやRAMのパターンとして複数の制御信号を多重化して記憶させれば制御ブロックと機能ブロックを接続する信号線の数に大幅に低減でき、回路修正、レイアウト修正への対応が容易にできる。さらに制御信号の多重化により、信号線を1本化することでレイアウトに起因する制御信号線間の遅延差も最小に低減できるとともに、レイアウト効率を向上できる。

【0015】また、上述のような通信制御技術を内蔵した本発明の移動体通信端末によれば、仕様変更が容易で、動作の安定化および小型化、さらには原価の低減を実現することができる。

【0016】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。

【0017】図1は、本発明の一実施例である移動体通信端末の構成の一例を示す概念図であり、図2および図3は、それが取り扱う通信データのフォーマットの一例を示す概念図、図4、図5、図6および図7は、それに用いられる通信制御装置の構成の一例を示す概念図、図8は、その作用の一例を示す線図である。

【0018】本実施例の移動体通信端末は、大別して、高周波部101および中間周波数部102等からなる無線制御部と、モデム103、バッファ104、TDMA時間制御部105（通信制御装置）および、ISDNインターフェイス制御やAdaptive Differential Pulse Code Modulation等の技術で音声信号の符号化、復号化を行う周辺インターフェイス回路106からなるベースバンド処理部と、マイクロプロセッサ107、プログラムROM108およびデータRAM109などからなるシステム制御部で構成されており、これらは、システムバス110を介して接続されている。

【0019】無線制御部では、高周波部101、中間周波数部102等のアナログ回路による発振器をベースに、たとえば周波数1.9GHz帯域の通信キャリアの発生、変調／復調、キャリア周波数の切り換え、受信レベル検出等を行う。

【0020】ベースバンド処理部では、デジタルデータの変復調、受信クロック再生等のベースバンド変換処理以外に、TDMAスロットタイミング制御を行い、スロット内データから機能チャネルデータの識別、分離、または組み立てを行う。

【0021】システム制御部のマイクロプロセッサ107は、プログラムROM108に格納されている制御プログラムを読み出して、ベースバンド処理部等のハードウェアの制御や、シリアルデータ通信プロトコルの制御等の制御動作を行う。また、データRAM109には、シリアルデータ通信プロトコルの管理情報やシステムモニタ情報が格納され、前記制御動作に用いられる。

【0022】図2は、本実施例の移動体通信端末が扱うシリアルデータ通信の例としてRCRで規格されているTDMAスロットフォーマットを示している。

【0023】この例では、送信、受信の各々で4つずつのスロットでフレームを構成しており、スロット内のデータはR、SS、PR、Gからなるガードビット、同期検出に使用する同期検出パターンとしてのUW（ユニークワード）、チャネル種別を示すチャネル識別コードCI、サービス種別を示す機能チャネルデータSACCH、正味の情報I、これらとCRCの合計240ビットのシリアルなデータの集合（ビットストリーム）から構成されている。

【0024】図3はスロットに適用するスクランブルおよびCRC演算範囲を示している。上記データの組立て、分解以外にスクランブル176ビット、CRC演算180ビットを行う。

【0025】図4はスロットデータの通信を行うTDM時間制御部105の構成の一例を示している。本実施例のTDMA時間制御部105は、CPU入出力部1を備えたタイミング発生回路2が設けられている。このタイミング発生回路2には、受信データ23を処理する受信系側に、同期ワード検出器3、スクランブル解除回路4、S/P変換回路5、周辺LSI入出力回路6、CRCチェック回路7の各機能ブロックが、信号線13a、信号線14a、信号線15a、信号線16a、信号線17aを介して接続されている。

【0026】同様に、送信データを処理する送信側には、フレーム組立回路8、スクランブル回路9、CRC発生回路10、P/S変換回路11、周辺LSI入出力回路12の各機能ブロックが、信号線22a、信号線21a、信号線20a、信号線19a、信号線18aを介して接続されている。

【0027】P/S変換回路11は、システムバス11

0を介してマイクロプロセッサ107から入力されたパラレルなデジタルデータ33をシリアルに変換し、シリアルな送信データ32としてCRC発生回路10に出力する。周辺LSI入出力回路12は、ペリフェラルICからの送信入力34をシリアルな送信データ32としてCRC発生回路10に出力する。CRC発生回路10は、送信データ32の末尾に当該送信データ32から生成したCRCコードを付加して送信データ31としてスクランブル回路9に入力する。スクランブル回路9は、送信データ31をスクランブルし、送信データ30としてフレーム組立回路8に入力する。フレーム組立回路8は、図2に例示されるような送信フォーマットとなるように、所定の送信プロトコルで規定されたデータを付加して送信データ29としてバッファ104を介してモデム103に出力する。

【0028】同期ワード検出器3にて受信データ23からUW検出を行い同期検出信号13によりスロット、フレーム開始点をタイミング発生回路2に通知する。タイミング発生回路2にはバーストカウンタ、スロットカウンタがあって、この同期検出信号13でカウンタの動作開始点をセットしデータの受信ビット数に合わせて受信データを分解、抽出するタイミングを前記各機能ブロックに供給する。スクランブル解除回路4は制御信号14で与えられるタイミングで、受信データ24のスクランブルを解除し、スクランブルのないシリアルな受信データ25として出力する。システムバス110のインタフェースとなり上位のマイクロプロセッサ107にパラレルデータ26を転送するS/P変換回路5、処理速度の異なる周辺LSIへの受信データ27の供給を行う周辺LSI入出力回路6、受信データ25に対するCRC検査を行ってCRC検査結果28をフラグレジスタにセットする動作を行うCRCチェック回路7も同様に制御信号15、制御信号16、制御信号17で与えられるタイミングでそれぞれの機能を実行する。送信側の機能ブロックも同様の制御で動作する。

【0029】図5はタイミング発生回路2の構成を示している。受信系には同期検出信号13でプリセットし受信クロックで動作するカウンタ回路201、この出力を読み出しアドレスとするパルス記憶回路202があって、これより読み出される信号は制御信号14、制御信号15、制御信号16、プリセット信号35として、図4における、S/P変換回路5、周辺LSI入出力回路6、CRCチェック回路7等の各機能ブロックに供給される。

【0030】送信系にはカウンタ回路203、パルス記憶回路204があり、送信クロックで駆動する。パルス記憶回路204の出力としての制御信号22、制御信号21、制御信号20、制御信号19、制御信号18、プリセット信号36は、図4における、フレーム組立回路8、スクランブル回路9、CRC発生回路10、周辺LSI

SI入出力回路12、P/S変換回路11等の各機能ブロックに供給される。

【0031】図6はROMで構成するパルス記憶回路202、パルス記憶回路204に対して書き込むデータの一例を示している。図4におけるCRCチェック回路7に供給する制御信号17を例にしてデータの作成法を以下に示す。パルス記憶回路202を構成するROMはスロット内のデータ数に対応する240ワード分の記憶容量があり、制御ブロック数に対応して1ワード5ビットのデータ構成になっている。制御信号17に対応するのは1ビット目のデータでこれがワード方向に240ビットある。

【0032】図3の適用領域にあるようにCRCチェック回路7の制御に必要なのは演算開始点(29ビット目)、演算終了/ビット比較開始点(209ビット目)、判定点(225ビット目)の3か所のタイミングが必要で、このタイミングを一本の信号線17aに多重化して送ることができる。この時必要なパターンとして、これに相当するアドレス28、アドレス208、アドレス224にパルスに相当する“1”を、これ以外のアドレスには“0”を記憶させる。このパターンがパルス状に読み出せれば良いので“1”、“0”は入れ違えて記憶させても構わない。他のブロックについても同様の手法でパターンを記憶させることができる。

【0033】なお、パルス記憶回路202、パルス記憶回路204を動的に書き替え可能な記憶回路(例えばRAM)で構成し、マイクロプロセッサ107のアクセスによって所望のパターンを書き込むことにより、稼働中に随時、動作仕様の変更が可能である。

【0034】また、図9に例示されるように、パルス記憶回路202を構成するROM等メモリを、アドレス方向に拡張して互いに異なるデータが格納される複数プレーン(アドレス000~239:プレーン1、アドレス240~479:プレーン2)構成とし、プレーン2へのアクセスは、入力されるアドレス値に対して240のオフセット値を与えることによって行わせるようにしてもよい。

【0035】また、図10に例示されるように、パルス記憶回路202を構成するROM等メモリを、1ワードのビット方向に拡張して複数プレーン(ビット0~4:プレーン1、ビット5~9:プレーン2)構成とし、任意のアドレスに対するプレーンの選択は、当該メモリ内に設けられた図示しない選択回路にて行うようにしてもよい。

【0036】図7にCRCチェック回路7の構成の一例を示す。タイミング発生回路2からの制御信号17、プリセット信号35を入力とするカウンタ回路701、CRC演算回路702、このCRC演算回路702への入力を選択する選択回路703、CRC一致判定を行う判定回路704から構成されている。CRC演算回路70

2はプリセット信号35、起動/停止信号705が入力されている。選択回路703にはCRC演算回路702の入力切り換え信号706、判定回路704には判定タイミング信号707とプリセット信号35が入力されている。カウンタ回路701はプリセット信号35によりプリセット後、制御信号17のパルスによりカウントを開始するが、このパルスはCRC制御タイミングに同期して順次送られてくるので、カウンタ回路701の出力である起動/停止信号705、入力切り換え信号706、判定タイミング信号707は、これに同期して発生

【0037】なお、カウンタ回路701の代わりに、制御信号17の入力によって状態が変化し、各状態に応じて起動/停止信号705、入力切り換え信号706、判定タイミング信号707等を発生する状態遷移回路を設けても等価な動作を実現できることは明らかである。

【0038】図8に、CRCチェック回路7に設けられたカウンタ回路701の動作の一例を示す。ROMアドレス027でプリセットパルスが発生すると各部がリセットされ、起動/停止信号705、入力切り換え信号706、判定タイミング信号707が“LOW”になる。ROMアドレス028になると、信号線17aの制御信号17に初めのパルスが発生し、カウンタ回路701の出力である起動/停止信号705が“HIGH”になる。ROMアドレス208、224となるにつれ起動/停止信号705、入力切り換え信号706、判定タイミング信号707が図に示すように順次変化し、CRC演算回路702、選択回路703、判定回路704等の各部の制御を行う。このように、タイミング発生回路2からは1本の信号線17aに制御信号17を多重化して送ることができるが、一方、CRCチェック回路7等の各機能ブロックでは、カウンタ回路701によってタイミングを分離することで複数の制御信号を生成することができるようになる。

【0039】このように、本実施例の通信制御装置によれば、タイミング発生回路2は、同期検出信号13（同期クロック）を契機として受信クロック（送信クロック）によりカウントアップされるカウンタ回路201

（カウンタ回路203）の値を読み出アドレスとし、当該アドレスに対応して制御信号14～17、プリセット信号35（制御信号18～22、プリセット信号36）を生成するパルス記憶回路202（パルス記憶回路204）を備えているので、パルス記憶回路202およびパルス記憶回路204の記憶内容を書き替えるだけで、受信データや送信データに同期した任意のタイミングで種々の制御信号を容易に発生させることができる。また、論理ゲートを用いる場合のような、ノイズの発生もなく、動作が安定化する。

【0040】また、各制御信号を多重化し、この制御信号が入力される各機能ブロックには、多重化された各制

御信号を弁別するカウンタ回路701等を設けているので、タイミング発生回路2と、周辺のスクランブル解除回路4、S/P変換回路5、周辺LSI入出力回路6、CRCチェック回路7、フレーム組立回路8、スクランブル回路9、CRC発生回路10、周辺LSI入出力回路12、P/S変換回路11等の各機能ブロックとを接続する信号線の数を削減でき、回路設計におけるレイアウト効率の向上を実現できる。また、各機能ブロックの内部や近傍で多重化された制御信号の弁別を行うので、信号線間の遅延が解消される。

【0041】また、本実施例の移動体通信端末によれば、上述のような機能のTDMA時間制御部105を備えたことにより、ソフトウェアやハードウェアの仕様変更が容易になるとともに、動作の安定化および小型化、さらには原価の低減を実現することができる。

【0042】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0044】本発明の通信制御方法および装置によれば、制御ブロックから機能ブロックに与えられる制御信号の変更や追加等を容易に行うことができる、という効果が得られる。また、ノイズの発生や、各機能ブロックに対する制御信号の伝達遅延差を解消して、安定な動作を行わせることができる、という効果が得られる。また、制御ブロックや機能ブロック等の回路設計におけるレイアウト効率を向上させることができる、という効果が得られる。

【0045】また、本発明の移動体通信端末によれば、ハードウェアやソフトウェアの仕様変更が容易に行えるという効果が得られる。また、動作の安定化および小型化、さらには原価の低減を実現することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例である移動体通信端末の構成の一例を示す概念図である。

【図2】それが取り扱う通信データのフォーマットの一例を示す概念図である。

【図3】それが取り扱う通信データのフォーマットの一例を示す概念図である。

【図4】それに用いられる通信制御装置の一例を示す概念図である。

【図5】それに用いられる通信制御装置の一例を示す概念図である。

【図6】それに用いられる通信制御装置の一例を示す概念図である。

【図 7】それに用いられる通信制御装置の一例を示す概念図である。

【図 8】その作用の一例を示す線図である。

【図 9】それに用いられる通信制御装置の一例を示す概念図である。

【図 10】それに用いられる通信制御装置の一例を示す概念図である。

【図 11】従来技術の一例を示す概念図である。

【符号の説明】

- 1 CPU入出力部
- 2 タイミング発生回路（制御ブロック）
- 3 同期ワード検出器
- 4 スクランブル解除回路（機能ブロック）
- 5 S/P変換回路（機能ブロック）
- 6 周辺LSI入出力回路（機能ブロック）
- 7 CRCチェック回路（機能ブロック）
- 8 フレーム組立回路（機能ブロック）
- 9 スクランブル回路（機能ブロック）
- 10 CRC発生回路（機能ブロック）
- 11 P/S変換回路（機能ブロック）
- 12 周辺LSI入出力回路（機能ブロック）
- 13 同期検出信号
- 13a 信号線
- 14～17 制御信号
- 14a～17a 信号線

- * 18～22 制御信号
- 18a～22a 制御信号
- 35 プリセット信号
- 36 プリセット信号
- 101 高周波部
- 102 中間周波数部
- 103 モデム
- 104 バッファ
- 105 TDMA時間制御部（通信制御装置）
- 106 周辺インターフェイス回路
- 107 マイクロプロセッサ
- 108 プログラムROM
- 109 データRAM
- 110 システムバス
- 201 カウンタ回路
- 202 パルス記憶回路（記憶回路）
- 203 カウンタ回路
- 204 パルス記憶回路（記憶回路）
- 701 カウンタ回路
- 702 CRC演算回路
- 703 選択回路
- 704 判定回路
- 705 起動／停止信号
- 706 入力切り換え信号
- * 707 判定タイミング信号

【図 1】

【図 6】

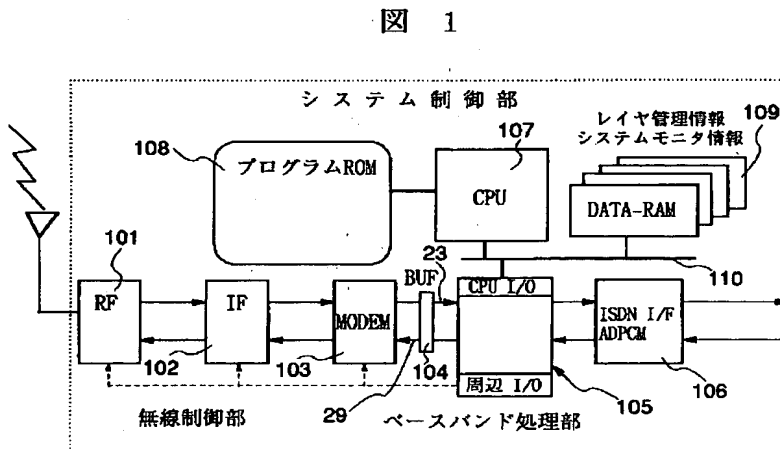
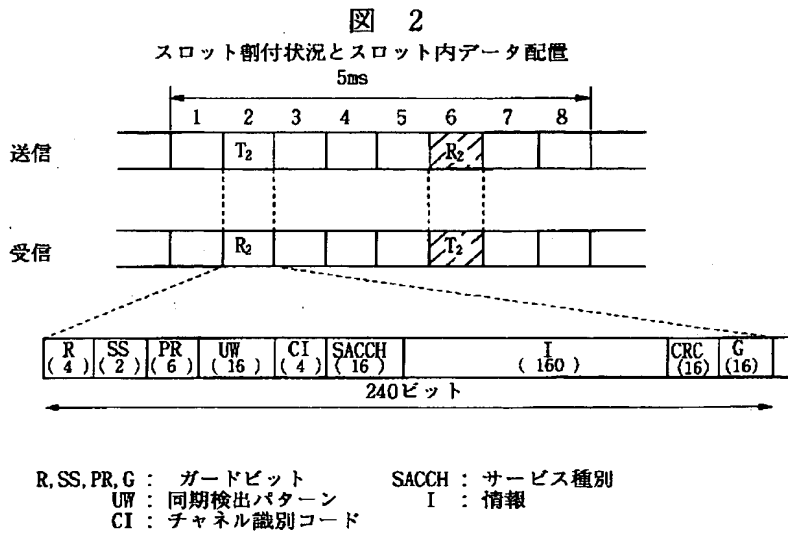


図 6

ビット	14	15	16	17	35
アドレス	4	3	2	1	0
0 0 0	0	0	0	0	0
0 0 1	0	0	0	0	0
0 0 2	0	0	0	0	0
0 0 3	0	0	0	0	0
0 0 4	0	0	0	0	0
0 2 5	0	0	0	0	0
0 2 6	0	0	0	0	0
0 2 7	0	0	0	0	1
0 2 8	0	1	0	1	0
0 2 9	0	0	0	0	0
0 4 7	0	0	0	0	0
0 4 8	1	1	1	0	0
0 4 9	0	0	0	0	0
2 0 7	0	0	0	0	0
2 0 8	1	0	1	1	0
2 0 9	0	0	0	0	0
2 2 3	0	0	0	0	0
2 2 4	1	0	0	1	0
2 2 5	0	0	0	0	0
2 3 8	0	0	0	0	0
2 3 9	0	0	0	0	0

【図2】



【図9】

図 9

ビット アドレス	4	3	2	1	0
000	0	0	0	0	0
027	0	0	0	0	1
028	0	1	0	1	0
048	1	1	1	0	0
208	1	0	1	1	0
224	1	0	0	1	0
239	0	0	0	0	0
240					
267					
268					
288					
448					
464					
479					

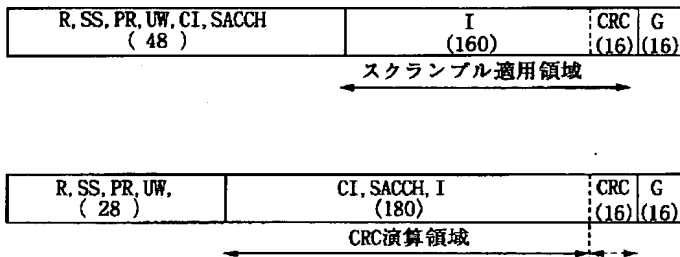
プレーン1

プレーン2

【図3】

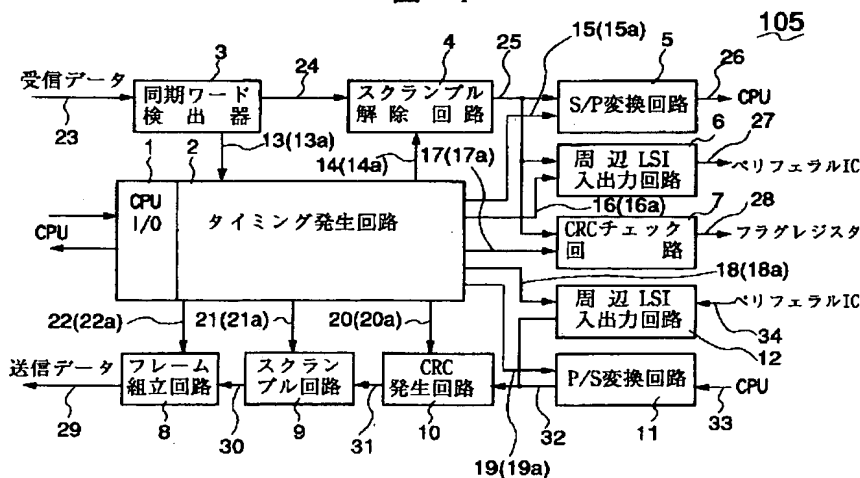
図 3

スクランブル、CRC適用領域



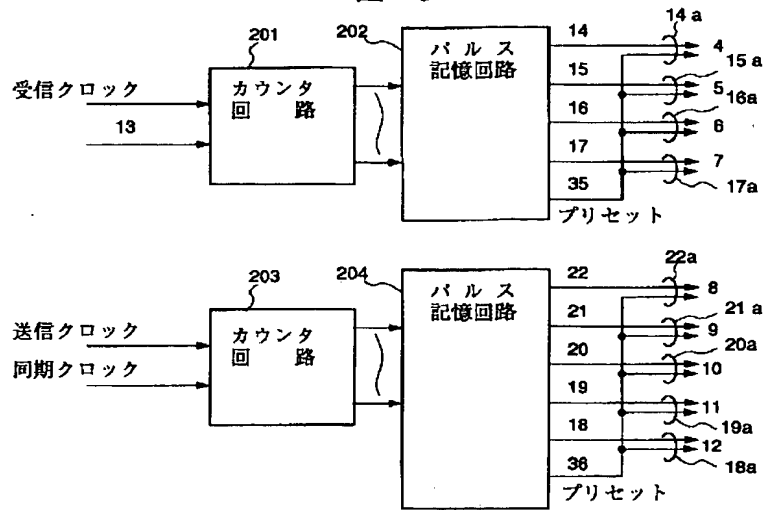
【図4】

図 4



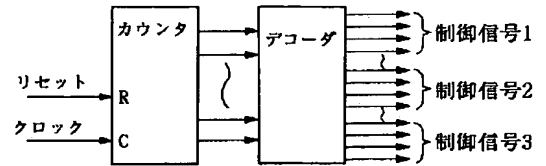
【図 5】

図 5



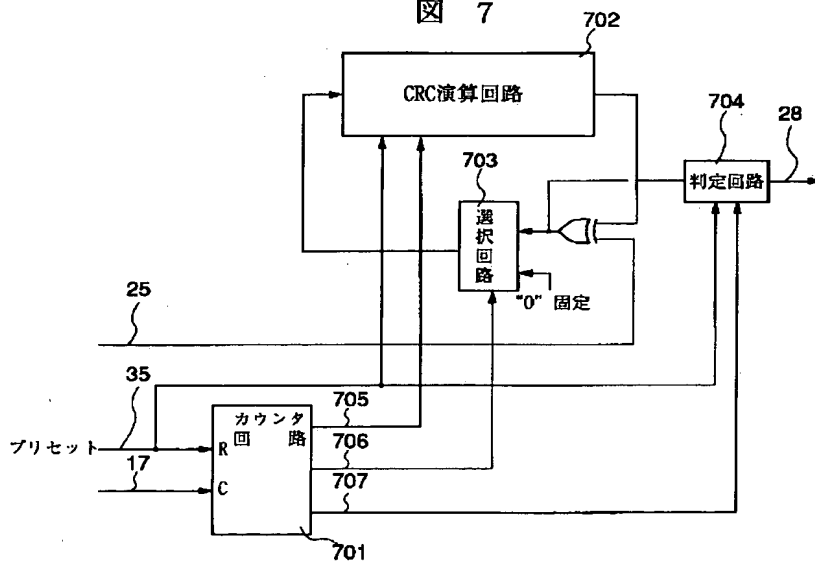
【図 11】

図 11



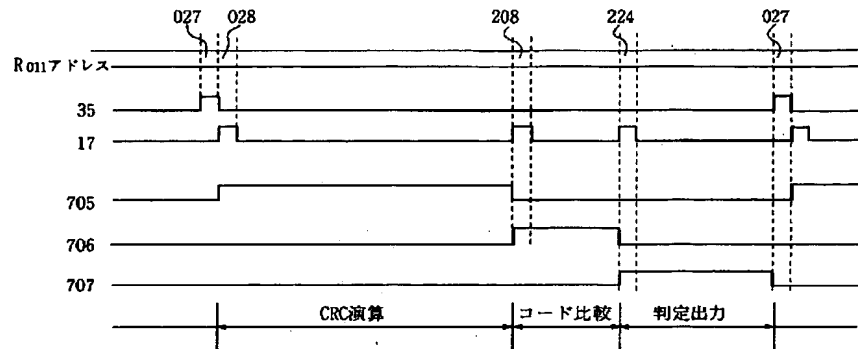
【図 7】

図 7



【図8】

図 8



【図10】

図 10

ビット	(14)	(15)	(16)	(17)	(35)	14	15	16	17	35
アドレス	9	8	7	6	5	4	3	2	1	0
0 0 0						0	0	0	0	0
0 0 1						0	0	0	0	0
0 0 2						0	0	0	0	0
0 0 3						0	0	0	0	0
0 0 4						0	0	0	0	0
>	>	>	>	>	>	>	>	>	>	>
0 2 6						0	0	0	0	0
0 2 7						0	0	0	0	1
0 2 8						0	1	0	1	0
0 2 9						0	0	0	0	0
>	>	>	>	>	>	>	>	>	>	>
0 4 7						0	0	0	0	0
0 4 8						1	1	1	0	0
0 4 9						0	0	0	0	0
>	>	>	>	>	>	>	>	>	>	>
2 0 7						0	0	0	0	0
2 0 8						1	0	1	1	0
2 0 9						0	0	0	0	0
>	>	>	>	>	>	>	>	>	>	>
2 2 3						0	0	0	0	0
2 2 4						1	0	0	1	0
2 2 5						0	0	0	0	0
>	>	>	>	>	>	>	>	>	>	>
2 3 8						0	0	0	0	0
2 3 9						0	0	0	0	0

プレーン2 プレーン1

フロントページの続き

(72)発明者 五十嵐 雄希
 神奈川県横浜市戸塚区戸塚町216番地 株
 式会社日立製作所情報通信事業部内